

概述

PT FI ì HCE是一款宽输入范围的同步降压控制 IC其输入工作电压范围可从10V-30V，输出连续的2.1A电流，并且拥有完美的负载及线性调整率；其可编程工作频率从 150KHz-500KHz 可高效的完成同步降压架构类的设计；采用电流模工作模式可以提供快速的动态响应及简化环路设计。PT FI ì HCE很少的外围元器件就可以完成优异的性能，其他特点包含：线损补偿、可编程的电流限制、过温保护等。

特点

- 宽电压输入范围：10V to 30V
- 效率高达 93%
- 可编程的开关频率，最高可达 500KHz
- 无环路补偿要求
- 可编程的电流限制
- 0Ω-0.3Ω的线损补偿
- 过热保护
- 封装形式：SOP-8

应用

- 车充/适配器
- 线性稳压调节器
- 分布式电源系统
- 电池充电器

引脚示意图及说明

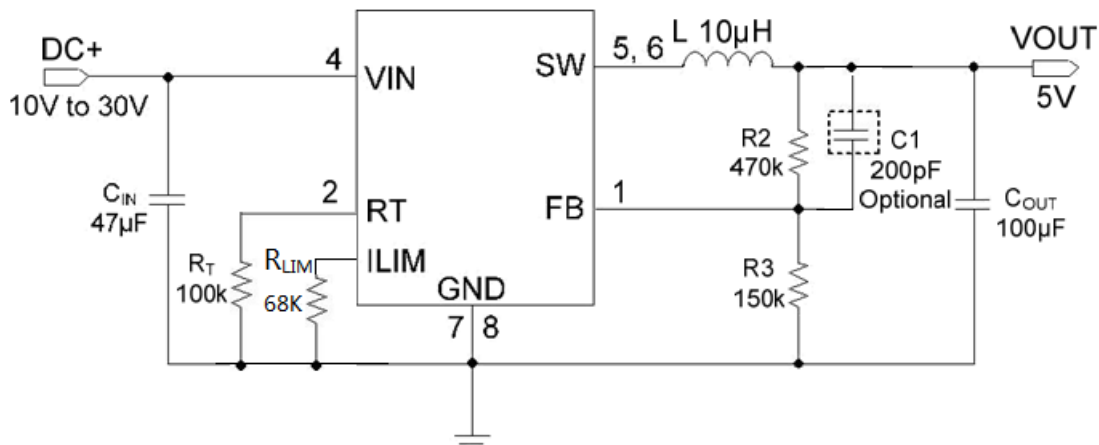
		引脚序号	引脚名称	引脚说明
		1	FB	反馈输入
2	RT	开关频率设置，通过电阻到 GND		
3	ILIM	电流限制，通过电阻到 GND		
4	VIN	电源		
5、6	SW	开关节点，连接 MOS 管的漏极		
7、8	GND	GND		

极限参数

输入电压	-0.3V-35V
FB RT ILIM 电压	-0.3V-6V
SW 电压	-0.3V~(VIN+1)V
工作温度	-40℃~85℃
储存温度	-65℃~150℃
结温	+150℃
焊接温度（焊接 10S）	+265℃

Note 1: 超出列出的绝对最大额定值可能会造成永久性损坏设备。暴露在任何绝对最大额定值条件下长时间可能会影响设备的可靠性和寿命。

典型应用电路图



- 1、电路参数仅供参考。
- 2、输出电压的设置： $V_{OUT} = 1.20V \cdot [1 + (R2/R3)]$

电气特性

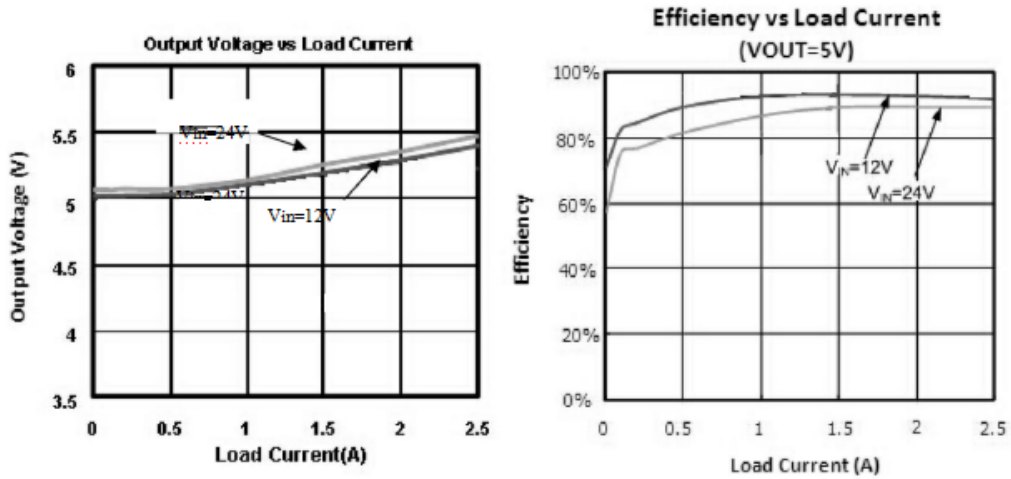
工作条件: $T_A=25^\circ\text{C}$, $V_{IN}=12\text{V}$, $R2=470\text{k}$, $R3=150\text{k}$, 除非另有说明。

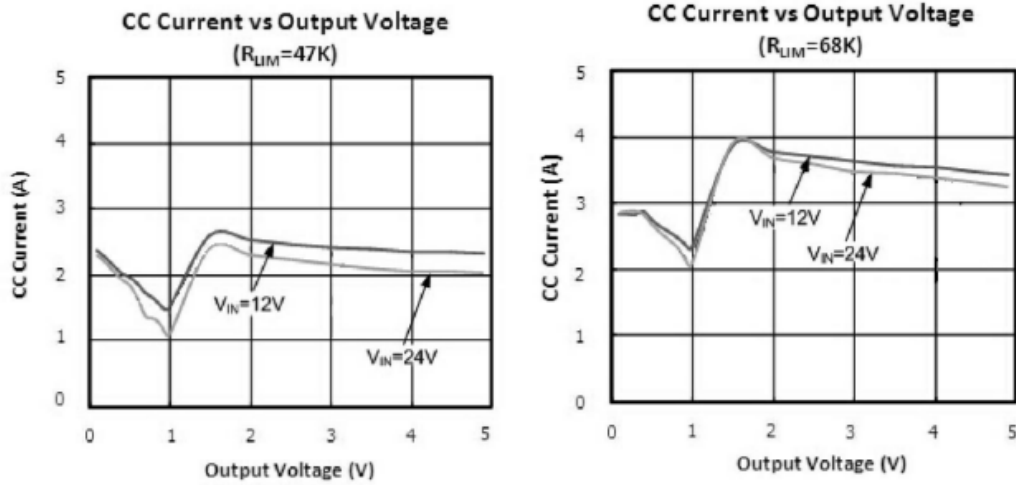
符号	参数	条件	最小值	典型值	最大值	单位
VIN	工作电压范围		10		30	V
Iq	静态电流	$I_{LOAD}=0\text{A}$	10	15	20	mA
ISHDN	关断电流			110	150	uA
VUVLO	输入欠压阈值			4.25	4.5	V

ΔV_{UVLO}	UVLO 迟滞			50	100	mV
VFB	基准电压		1.18	1.20	1.22	V
IFB	FB 输入电流				0.05	μ A
fOSC	振荡频率范围		150		500	kHz
		$R_T=100k$	180	220	260	kHz
DC	最大占空比				100	%
ILIM-TH	电流限制 PIN 电流		7	8.5	10	μ A
RPFET	PMOS 管导通阻抗			65		m Ω
RNFET	NMOS 管导通阻抗			30		m Ω
TSD	过温保护	温度上升		150		$^{\circ}$ C
ΔT_{SD}	过温恢复迟滞	温度下降		30		$^{\circ}$ C

典型性能特征

工作条件: $T_A=25^{\circ}\text{C}$, $C_{IN}=47\mu\text{F}$, $C_{OUT}=100\mu\text{F}$, $L=10\mu\text{H}$, 除非另有说明。





引脚功能

FB (Pin 1): 反馈输入引脚，通过电阻获取输出的反馈信号，调整输出电压,输出电压计算:

$$V_{OUT} = 1.20V \cdot [1 + (R2/R3)].$$

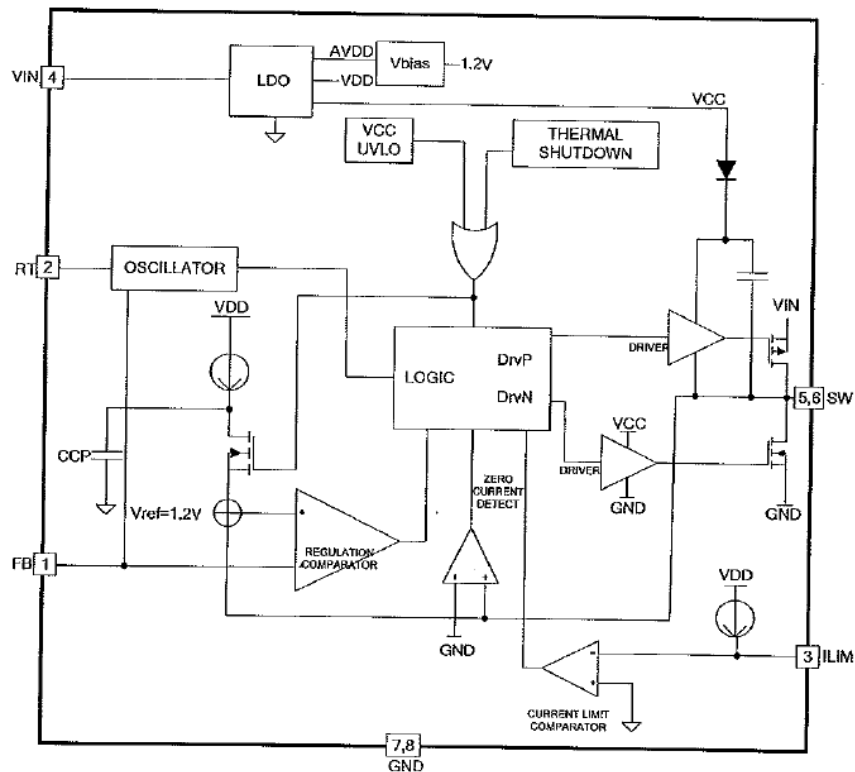
RT (Pin 2): 内部振荡器设置此引脚和 GND 引脚之间串接电阻。

ILIM (Pin 3): 电流限制引脚,如果引脚流出的电流在连接的电阻产生的压降超过了用户的定义,就会触发电流限制。

VIN (Pin 4): 电源输入引脚,输入电压可达 30V,此引脚需连接一 47uF 或更大的陶瓷电容。

SW (Pin 5, 6): 开关节点连接到电感。

GND (Pin 7, 8): GND



应用信息

PTFIHCE工作于固定开关频率、电流模式的降压架构；输出电压可以通过外部电阻调整；反馈信号引入FB引脚与误差放大器的基准电压1.20V比较和峰值电感电流相应地调整共同决定输出电压。

正常运行时，内部每个周期锁上RS锁存器P沟道MOSFET开启；通过电流比较器，复位RS锁存器。当P沟道MOSFET关断时，N沟道MOSFET开启，直到电感电流开始逆转（如电流比较器反转或下一个时钟周期的开始）。

过温保护

PTFIHCE内部的过热保护电路会限制其总功耗，当芯片温度上升到150℃左右时，内部电路会关掉输出，让IC冷却，以避免芯片因过热而损坏，当然PTFIHCE连续的工作在过温状态也会降低其可靠性。

电流限制

通过外部电阻 R_{LIM} 检测流过高侧功率管的电流来达到电流限制的作用；如果在高侧功率管导通期间流过它的电流超过了用户定义的值，立即关闭高侧功率管；通过调节外部电阻 R_{LIM} 的压降来完成电流限制；输出的电流限制通过以下公式计算

$$R_{LIM} (k\Omega) = 24 \cdot I_{MAX} (A)$$

振荡频率

PTFIHCE的震荡频率由连接在RT与GND之间的电阻来设置，电阻应尽量靠近IC的RT引脚，内部的放大器保持RT的引脚电压典型值0.6V，当RT的电阻下降时工作频率则会上升，计算公式可参照以下：

$$R_T(k\Omega) = 22000 / f_{OSC}(kHz)$$

输出电压设置

输出电压通过FB节点连接的分压电阻设置，建议电阻使用精度为1%的电阻；为了提高轻载时的效率，建议使用较大的电阻；当然更高的电阻也会引入更多的噪声和电压误差；在大多数应用中，建议R3的阻值在10K-1M范围内；R2的计算公式如下：

$$R2 = R3 \cdot [(V_{OUT} / V_{REF}) - 1]$$

$V_{REF} = 1.20V$ 。

输出线损补偿

为了补偿电缆阻值造成的压降，PTFIHCE集成了一个简单，用户可编程的电缆压降补偿，通过适当的FB引脚反馈电阻达到补偿需求，电压补偿量随R2阻值的增加而增加，可参照下面公式计算：

$$\Delta V_{OUT} = R2(K) \cdot I_{out}(A) / 4000$$

电感的选型

对于大多数应用中，电感的值范围为4.7uH至47uH。它的值是根据所需的纹波电流选择。大的电感降低纹波电流，小的电感导致更高的纹波电流。根据如下的公式，更高的输入电压或输出电压也会导致纹波电流的增加。一个合理的出发点是设定纹波电流 $\Delta I_L = 840mA$ （2.1A的40%）。

$$\Delta I_L = \frac{1}{(f)(L)} V_{OUT} \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$

电感的直流电流额定值应至少等于最大负载电流加上一半的纹波电流，以防止磁芯饱和。因此，一个 2.52A 额定电感应该足以满足大多数应用程序 (2.1A+840/2mA)。为了获得更好的效率，选择一个低直流电阻电感。

不同的磁芯材料和形状将改变电感的尺寸/电流与价格/电流关系，选择使用哪种形式的电感往往更多地取决于价格和尺寸的要求以及PT FI Ì HCE工作的场合的 EMI 的要求。

输入输出电容选型

在连续模式，高侧 MOSFET 的电流源是一个与占空比 V_{out}/V_{in} 有关的方波。为了防止大的瞬态电压，低 ESR 电容以此最大化输入电流有效值必须使用。最大均方根电容电流的表达式如下：

$$C_{IN} \text{ required } I_{RMS} \cong I_{OMAX} \frac{[V_{OUT}(V_{IN} - V_{OUT})]^{1/2}}{V_{IN}}$$

这个公式在 $V_{in} = 2V_{out}$ 取最大值，其中 $I_{RMS} = I_{out} / 2$ 。这种简单的最坏情况下的条件通常用于设计，因为即使是显着的偏差也不能提供太多的帮组。请注意，电容制造商的纹波电流额定值通常是基于 2000 小时的寿命。这使得它可取的进一步减小或选择电容的额定值相对于需要的温度更高。如果有任何问题，请随时咨询制造商。

输出电容 C_{OUT} 的选择选择是由所需的有效串联电阻 (ESR) 决定的。通常情况下，一旦 C_{OUT} 的 ESR 的要求已经得到满足，额定电流的均方根值一般远大于 I_{ripple} (P-P) 要求。输出纹波 ΔV_{out} 是由如下表达式决定：

$$\Delta V_{OUT} \cong \Delta I_L \left(ESR + \frac{1}{8fC_{OUT}} \right)$$

其中 f 为工作频率， C_{OUT} 为输出电容， ΔI_L 为电感纹波电流。对于一个固定的输出电压，输出纹波在最大输入电压时取最大值，因为 ΔI_L 随输入电压增加。

铝电解和干式钽电容器都可在表面贴装配置。在钽电容的情况下，它的关键点是使用开关电源对电容进行浪涌测试。一个很好的选择是表面安装 AVX 公司 TPS 系列的钽电容能提供一个最低的 ESR，因为它们特殊的构造和测试低 ESR。

效率的考虑

开关稳压器的效率等于输出功率除以输入功率乘以 100%。分析单一部分损耗以确定什么是限制效率和哪些变化会产生最大的改善通常是有用的。效率可以表示为：效率 = 100% - (L1 + L2 + L3 + ...)，其中 L1, L2 等为单一部分损耗占输入功率的百分比。尽管所有电路中的元件都会产生损耗，但两个主要来源通常占大多数的损耗： V_{in} 的静态电流损耗和 I^2R 损失。 V_{in} 的静态电流损耗在非常低的负载电流效率损失占主导地位，而 I^2R 损耗在中高负载电流的效率损耗中占主导地位。在一个典型的效率图中，非常低的负载电流的效率曲线可能会产生误导，因为实际应用中的功率损失是无足轻重的。

1. V_{in} 的静态电流是由两部分组成：电气特性中的直流偏置电流和内部主开关管和同步整流开关管的栅极充电电流。栅极充电电流是开启和关闭内部功率 MOSFET 开关管对栅极电容充电的结果。每一次的栅极从高到低再高，一部分电荷 ΔQ 从 V_{in} 到地移动。由此产生的 $\Delta Q / T$ 电流从 V_{in} 流到地，通常大于直流偏置电流。在连续模式， $I_{gatechg} = f(Q_T + Q_B)$ ，其中 Q_T 和 Q_B 是内部的高侧开关管和低侧开关管的栅极电荷。无论是直流偏置损耗和栅极电荷损耗，都是与 V_{in} 成正比的，在较高的电源电压其效果会更加明显。

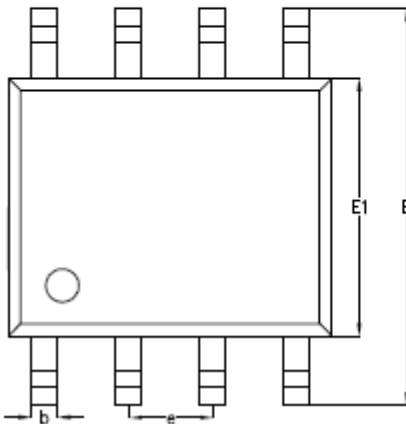
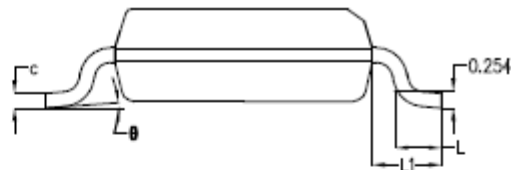
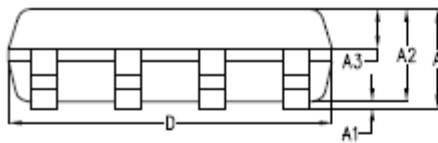
2. I^2R 损耗从内部开关管的阻抗 R_{SW} 和外部电感寄生阻抗 R_L 计算得到。在连续模式下，通过电感 L 的平均输出电流在主开关管和同步整流开关管之间被“斩波”。因此，从 SW 脚看进去的串联电阻是高侧 MOSFET 和低侧 MOSFET 的导通阻抗 $R_{DS(ON)}$ 和占空比 (DC) 的函数，关系式如下： $R_{SW} = R_{DS(ON)TOP} \times DC + R_{DS(ON)BOT} \times (1-DC)$ 其中高侧开关 MOSFET 和低侧开关 MOSFET 的导通阻抗 $R_{DS(ON)}$ 可以从典型性能特性曲线中得到。因此，获得 I^2R 损耗，只需计算 R_{SW} 与 R_L 的和乘以输出平均输出电流的平方。其他损耗包括 C_{IN} 和 C_{OUT} 的等效串联电阻 ESR 的耗散损耗和电感磁芯损耗，一般占不到 2% 的总损耗。

PCB 布线建议

为更好地发挥 $PTFI \dot{H}CE$ 性能，PCB 布线是应当遵循下面所列的几项要求：

- 1、电源线，包括地线、 SW 走线和 VIN 走线应尽可能的短、宽和直接；
- 2、输入电容尽量靠近 IC 引脚 (VIN 和 GND)；
- 3、 SW 节点具有高频电压摆幅，应保持小面积并远离模拟器件，防止杂散电容噪声干扰；
- 4、将所有模拟地连接到公共节点，然后将该公共节点连接到输出电容器后面的功率地。

封装信息 (Unit:mm)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	-	1.50	1.55
A1	-	0.10	0.15
A2	1.35	1.40	1.45
A3	0.55	0.60	0.65
b	0.35	0.40	0.45
c	0.17	0.22	0.25
D	4.85	4.90	4.95
E	5.90	6.00	6.10
E1	3.80	3.90	4.00
e	1.27BSC		
L	0.60	0.65	0.70
L1	1.05BSC		
θ	0°	4°	6°